

1/1 WPAT - (C) Derwent- image

AN - 1999-158231 [14]

XP - N1999-114834

TI - Stabilization circuit for IC chip - controls gate voltage of MOSFET placed between high or low potential of power supply and load circuit, using comparator

DC - U13 U21 U23 U24

PA - (HITA) HITACHI LTD

NP - 1

NC - 1

PN - ***JP11015541*** A 19990122 DW1999-14 G05F-001/56 11p *
AP: 1997JP-0181707 19970623

PR - 1997JP-0181707 19970623

IC - G05F-001/56 H01L-021/822 H01L-027/04 H03L-007/08

AB - JP11015541 A

NOVELTY - A comparator (130) compares the reference voltage from a reference voltage generator (120) with the voltage across a load circuit (110) and controls supply to the gate of an N- channel MOSFET. The N-channel MOSFET is placed between low potential of power supply (160) and load circuit or a P-channel MOSFET (100), placed between high potential of power supply (170) and load circuit.

- USE - For IC chips.

- ADVANTAGE - Offers sufficient voltage to load circuit when source voltage is low. Eliminates usage of Zener diode and provides stable power supply to voltage controlled oscillator of phase locked loop circuit. DESCRIPTION OF DRAWING(S) - The figure shows the circuit diagram of one form of operation of the power supply stabilization circuit. (100) P-channel MOSFET; (110) Load circuit; (120) Reference voltage generator; (130) Comparator; (160,170) Low and high potential power supplies. (Dwg.1/9)

MC - EPI: U13-E02 U21-B01B U21-B05C U23-D01A U24-D01A3 U24-D02A U24-E02B

UP - 1999-14

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-15541

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁸
G 0 5 F 1/56
H 0 1 L 27/04
21/822
H 0 3 L 7/08

識別記号
3 1 0

F I
G 0 5 F 1/56
H 0 1 L 27/04
H 0 3 L 7/08
3 1 0 P
B
D
Z

審査請求 未請求 請求項の数 6 F D (全 11 頁)

(21) 出願番号 特願平9-181707

(22) 出願日 平成9年(1997) 6月23日

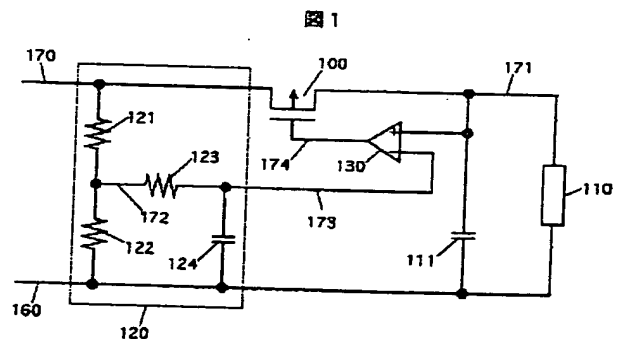
(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 益田 昇
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(72) 発明者 水野 和彦
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(74) 代理人 弁理士 笹岡 茂 (外1名)

(54) 【発明の名称】 電源安定化回路および電源安定化回路を備えたPLL回路

(57) 【要約】

【課題】 通常のデジタル信号処理用の半導体集積回路チップ内に設けるための電源安定化回路であり、急激な電源電圧変動を避けなければならない回路(PLL回路内の電圧制御発振器等)に安定電源を供給する回路を提供する。

【解決手段】 外部から供給される電源の高電位側170と低電位側160の間に基準電圧173を発生する基準電圧発生回路120を接続し、高電位側170と負荷回路110との間に直列に挿入されたPチャネル型MOSトランジスタ100を接続し、上記負荷回路110にかかる電圧171を上記基準電圧173と比較する電圧比較回路130を設け、該電圧比較回路130の出力をPチャネル型MOSトランジスタ100のゲートに供給し、該MOSトランジスタ100を制御することにより、負荷回路110にかかる電圧を一定に保つ。上記基準電圧発生回路120は、抵抗分圧回路121および122とローパスフィルタ123および124により構成する。



【特許請求の範囲】

【請求項 1】 外部から供給される電源を使って基準電圧を発生する基準電圧発生回路と、前記外部から供給される電源と負荷回路との間に直列に挿入されるトランジスタと、前記負荷回路にかかる電圧を前記基準電圧と比較する電圧比較回路を備え、前記電圧比較回路の比較結果に応じて前記トランジスタを制御することにより、前記負荷回路にかかる電圧を一定に保つように構成された電源安定化回路であって、

前記基準電圧発生回路と、前記負荷回路と、前記直列に挿入されるトランジスタと、前記電圧比較回路は、通常の半導体集積回路チップ内に該チップ内の他の回路と共に搭載され、

前記直列に挿入されるトランジスタは、前記外部から供給される電源の高電位側と前記負荷回路の間に挿入された P チャネル型の MOS トランジスタ、または、前記外部から供給される電源の低電位側と前記負荷回路の間に挿入された N チャネル型の MOS トランジスタであり、前記電圧比較回路の出力は前記 MOS トランジスタのゲートに供給されることを特徴とする電源安定化回路。

【請求項 2】 請求項 1 記載の電源安定化回路において、

前記負荷回路は、定常状態では一定の周波数で発振する発振器であることを特徴とする電源安定化回路。

【請求項 3】 請求項 1 または請求項 2 記載の電源安定化回路において、

前記負荷回路は、定常状態において流れる電流が高周波の成分を除いてはほぼ一定な回路であることを特徴とする電源安定化回路。

【請求項 4】 請求項 1 乃至請求項 3 のいずれかの請求項記載の電源安定化回路において、

前記外部から供給される電源の電圧は概ね 2 V 以下であり、前記負荷回路にかかる電圧は前記外部から供給される電源の電圧の概ね 70 % 以上であることを特徴とする電源安定化回路。

【請求項 5】 請求項 1 乃至請求項 4 のいずれかの請求項記載の電源安定化回路において、

前記基準電圧発生回路は、前記外部から供給される電源の電圧を抵抗性素子によって分圧する分圧回路と、前記分圧回路の出力電圧を平滑化するローパスフィルタによって構成されることを特徴とする電源安定化回路。

【請求項 6】 制御電圧に応じて発振周波数が変化する電圧制御発振器と、前記電圧制御発振器から出力されるクロック信号と外部から供給されるリファレンス信号の位相を比較する位相比較回路とを備え、前記位相比較回路の比較結果に応じて制御電圧を変化させることにより、前記クロック信号と前記リファレンス信号の位相が一致するように構成された PLL 回路であって、該 PLL 回路は、請求項 1 乃至請求項 5 のいずれかの請求項に記載された電源安定化回路が搭載された半導体集

積回路内に搭載され、

該 PLL 回路の前記電圧制御発振器は前記電源安定化回路の負荷回路であることを特徴とする電源安定化回路を備えた PLL 回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路チップの内部に供給される電源の電圧を安定化する電源安定化回路に係り、特に、通常のデジタル信号処理用の半導体集積回路チップ内に搭載できる電源安定化回路に関する。

【0002】

【従来の技術】従来の電源安定化回路としては、例えば昭和 60 年 1 月 25 日に日刊工業新聞社から発行された「ビデオ教材：入門エレクトロニクス講座 アナログ回路編」という本の 5-23 ページの図 3. 6 に記載された例がある。上記従来の電源安定化回路は、図 9（上記図 3. 6 に記載された回路）に示されるように外部から供給される電源の高電位側と負荷回路の間に NPN 型のバイポーラトランジスタが挿入され、負荷回路にかかる電圧 V_o が一定になるように上記バイポーラトランジスタのベース電圧 V_B を制御するように構成されるのが一般的である。バイポーラトランジスタをこのように使った回路は、一般的にエミッタフォロウと称される。また、従来の電源安定化回路に使用される基準電圧発生回路では、この図に示されるようにツェナーダイオード V_Z を使って常に一定の基準電圧を発生するのが一般的である。

【0003】

【発明が解決しようとする課題】従来の電源安定化回路は、負荷回路を搭載する半導体集積回路チップとは別の半導体集積回路チップ内に構成され、負荷回路を搭載する半導体集積回路チップ内の全ての回路に一括して安定化した電源を供給するのが一般的であった。

【0004】通常は、負荷回路の中には大きな電源電圧変動を引き起こし得るような大電流をスイッチングする回路が混在するため、外部からせつかく安定な電源を供給しても、半導体集積回路チップ内の電源電圧はその回路が引き起こす大きな変動を含むことになる。そこで従来は、引き起こす電源電圧変動の大きさによって負荷回路をいくつかの種類（たとえば、出力回路と入力回路および内部回路等）に分類し、半導体集積回路チップの中ではその種類ごとに別々に電源配線を設けて別々の電源ピンから供給することにより、大きな電源電圧変動がそのまま全ての回路には伝わらないようにしている。そうすると、たとえば PLL 回路に使用する電圧制御発振器等のように急激な電源電圧変動を特に避けなければならない回路がある場合、従来の方法ではその回路のための電源配線や電源ピンを別途用意して安定化を図る必要があった。または、上記変動を避けるために、半導体集積

回路チップの中に大面積の容量性素子を搭載して安定化を図る必要があった。そうすると、急激な電源電圧変動を特に避けなければならない回路が多数ある場合には、そのための電源ピンの数や電源配線または容量性素子の占有面積の増大が深刻になる。本発明の第1の課題は、急激な電源電圧変動を特に避けなければならない回路に安定な電源を供給するための電源安定化回路を、通常のデジタル信号処理用の半導体集積回路チップ内に設けることである。

【0005】本発明の第1の課題を解決するためには、以下に述べる本発明の第2および第3の課題を解決しなければならない。すなわち、半導体集積回路の性能向上のためには素子の加工寸法の微細化が必須であり、これに伴って素子の耐圧が低下するため電源電圧の低下を余儀なくされる。例えば、MOS集積回路の最高クロック周波数が100MHz前後であった頃はゲート加工寸法が0.5 μ mの素子を使っていたが、この素子には3.0~3.5Vの電源電圧をかけることができた。ゲート加工寸法が0.3 μ mでは約2.5V前後になり、ゲート加工寸法が0.2 μ mになると電源電圧は約2V以下になると考えられる。更に微細化が進むと電源電圧も更に低くなる。

【0006】一方、エミッタフォロワを使った引例の電源安定化回路を動作させるためには、負荷回路にかかる電圧 V_o より約0.6V高い電圧 V_B をバイポーラトランジスタのベース電極に加えなければならない。そのためには、図9に「Ap倍」と記されたアンプの電源電圧としては負荷回路にかかる電圧 V_o より少なくとも0.6V以上高い電圧が必要になる。この0.6Vという値は半導体集積回路の材料であるシリコンという物質の物理的な性質から決まる値であり、容易に小さくすることはできない。更に、電源安定化回路の目的を考えると外部から供給される電源の電圧は変動していることが前提であり、その変動の下限が負荷回路にかかる電圧 V_o より約0.6V高い電圧 V_B 以上でなければならない。従って、電源電圧が2V以下の半導体集積回路では、電源安定化回路の負荷回路にかけ得る電圧 V_o は電源電圧の70%未満となり、十分な電圧を得にくくなる。従来例のNPN型のバイポーラトランジスタをPNP型のバイポーラトランジスタに置き換えて電源の極性を逆にした回路を使っても、ベース電極には負荷回路にかかる低い側の電圧より更に約0.6V以上低い電圧を加えなければならないため同じような問題が生じる。すなわち、エミッタフォロワ回路を使った電源安定化回路では、電源電圧が2V以下になると負荷回路にかけ得る電圧は外部から供給される電源電圧の70%未満になってしまう。

【0007】また、バイポーラトランジスタをMOSトランジスタに置き換えても、以下のように同じような問題が生じる。バイポーラトランジスタをMOSトランジスタに置き換える場合、NPN型のバイポーラトランジ

スタはNチャネル型のMOSトランジスタに対応し、従来例の場合はNPN型のバイポーラトランジスタによるエミッタフォロワ回路がNチャネル型のMOSトランジスタによるソースフォロワ回路に置き換わる。ところで、MOSトランジスタに流し得る電流はゲート電極とソース電極の間にかかる電圧の概ね2乗に比例する。そのため、ゲート電極とソース電極の間にかかる電圧を電源電圧の30%以下にすると、流し得る電流は100%の電圧をかけた場合の10%以下になる。更に、殆どの半導体集積回路チップではNチャネル型のMOSトランジスタのバックバイアス電圧は負側の電源電圧であるため、従来例のバイポーラトランジスタをNチャネル型のMOSトランジスタに置き換えた回路ではバックバイアス電圧はソース電圧より V_o だけ低い電圧となり、流し得る電流は更に小さくなる。従って、負荷回路にかかる電圧 V_o を電源電圧の70%以上にするのは困難である。Pチャネル型のMOSトランジスタを使って電源の極性を逆にした回路でも、同様の問題が生じる。

【0008】他の公知の電源電圧調整回路として、特開平7-182053号として開示された回路がある。しかし、この回路でもFET40において1.7~2Vの電圧降下が生じるような説明があり、0.6V以下の電圧降下で安定な電源電圧を得る方法については述べられていない。また、この回路では外部から加える電源電圧が急激に変動すると、基準電圧 V_{REF} も直ちに変動するため、出力電圧 V を安定化させるためには、外付けの大きな容量素子70が必要になる。すなわち、この公知例の回路には電源電圧を下げる作用はあるが安定化させる作用はない。また、他の公知の電源回路として、特開平8-147050号として開示された回路があるが、この回路はバイポーラトランジスタQ1が高速動作が困難な飽和状態で動作するように構成されているため、電源電圧が急激に変動した時に安定な出力電圧が得られる。

【0009】本発明の第2の課題は、電源電圧が低い場合(概ね2V以下)でも十分な電圧(電源電圧の概ね70%程度以上の電圧)を負荷回路にかけ得る電源安定化回路を実現することである。また、従来の電源安定化回路では、従来例にも示されているようにツェナーダイオードを使用して基準電圧を発生するのが一般的である。しかしながら、通常のデジタル信号処理用の半導体集積回路チップ内にツェナーダイオードを搭載するためには、通常の製造工程の一部を変更もしくは追加することが必要であり、製造コストの増大を招くことになる。本発明の第3の課題は、通常のデジタル信号処理用の半導体集積回路チップにおいて、特別な工程を使用することなく実現できる電源安定化回路を提供することである。

【0010】また、本発明の第4の課題は、PLL回路に使用する電圧制御発振器等に、安定な電源を供給するために好適な電源安定化回路を提供することである。

【0011】

【課題を解決するための手段】上記課題を解決するため、本発明は、外部から供給される電源を使って基準電圧を発生する基準電圧発生回路と、前記外部から供給される電源と負荷回路との間に直列に挿入されるトランジスタと、前記負荷回路にかかる電圧を前記基準電圧と比較する電圧比較回路を備え、前記電圧比較回路の比較結果に応じて前記トランジスタを制御することにより、前記負荷回路にかかる電圧を一定に保つように構成された電源安定化回路であって、前記基準電圧発生回路と、前記負荷回路と、前記直列に挿入されるトランジスタと、前記電圧比較回路は、通常の半導体集積回路チップ内に該チップ内の他の回路と共に搭載され、前記直列に挿入されるトランジスタは、前記外部から供給される電源の高電位側と前記負荷回路の間に挿入されたPチャネル型のMOSトランジスタ、または、前記外部から供給される電源の低電位側と前記負荷回路の間に挿入されたNチャネル型のMOSトランジスタであり、前記電圧比較回路の出力は前記MOSトランジスタのゲートに供給されるようにしている。

【0012】また、前記負荷回路は、定常状態では一定の周波数で発振する発振器であるようにしている。また、前記負荷回路は、定常状態において流れる電流が高周波の成分を除いてはほぼ一定な回路であるようにしている。また、前記外部から供給される電源の電圧は概ね2V以下であり、前記負荷回路にかかる電圧は前記外部から供給される電源の電圧の概ね70%以上であるようにしている。また、前記基準電圧発生回路は、前記外部から供給される電源の電圧を抵抗性素子によって分圧する分圧回路と、前記分圧回路の出力電圧を平滑化するローパスフィルタによって構成されるようにしている。

【0013】また、制御電圧に応じて発振周波数が変化する電圧制御発振器と、前記電圧制御発振器から出力されるクロック信号と外部から供給されるリファレンス信号の位相を比較する位相比較回路とを備え、前記位相比較回路の比較結果に応じて制御電圧を変化させることにより、前記クロック信号と前記リファレンス信号の位相が一致するように構成されたPLL回路であって、該PLL回路は、前記のいずれかの電源安定化回路が搭載された半導体集積回路内に搭載され、該PLL回路の前記電圧制御発振器は前記電源安定化回路の負荷回路であるようにしている。

【0014】

【発明の実施の形態】本発明による電源安定化回路の実施の一形態を図1に示す。図1において、100はPチャネル型のMOSトランジスタ、110は負荷回路、120は基準電圧発生回路、130は電圧比較回路として作用する差動増幅回路、170は外部より供給される電源の高電位側、160は外部より供給される電源の低電位側、171は負荷回路110に加えられる電源の高電

位側、173は基準電圧となるノードである。また、111は負荷回路110に加えられる電源の電圧変動のうち短い周期で変動する成分を除去するための容量性素子、121～123は基準電圧発生回路120を構成する抵抗性素子、124は基準電圧発生回路120を構成する容量性素子である。このうち、抵抗性素子121および122は分圧回路を構成し、抵抗性素子123および容量性素子124はローパスフィルタを構成する。174はPチャネル型のMOSトランジスタ100のゲート電極のノードである。

【0015】この回路をMOSトランジスタを含む半導体集積回路チップの中に搭載する場合、容量性素子111および124は、MOSトランジスタのゲート電極とチャネルの層間容量を利用すれば、小さな面積で大きな容量値の容量性素子を実現することができる。分圧回路を構成する抵抗性素子121および122は、その抵抗値の比が設計値通りにでき上がる必要がある。そのためには、MOSトランジスタのゲート電極を構成する層の配線抵抗を利用すれば、比較的正確な抵抗値比で比較的大きな抵抗値を実現することができる。抵抗性素子123は、容量性素子124と共に構成するローパスフィルタの時定数を長くしてより安定な基準電圧を得るため、なるべく抵抗値が大きくなるようにする。そのためには、ゲート長が長くゲート幅が狭いPチャネル型のMOSトランジスタのソースとドレインの間の抵抗を使い、そのゲート電極を160のノードに接続すれば大きな抵抗値が実現できる。このように構成した抵抗性素子を数個～数十個直列に接続すれば、1MΩ程度の抵抗値も実現できる。

【0016】本発明の図1の回路と図9の従来例の回路の本質的な違いは、従来例の回路はVBのノードの電圧がV_oのノードの電圧より約0.6V高くなければ動作しないのに対し、図1の回路は174のノードの電圧と171のノードの電圧の高低関係に特に制限が無い点にある。なお、本発明の電源安定化回路によって安定な電源を供給される負荷回路110は、短い周期で繰り返し変化する高周波成分を除いては負荷電流が急激に変化する成分が殆ど無いことが前提である。そのような回路の例としてはクロック信号を発生する発振器等がある。

【0017】以下、図1の回路の動作について説明する。172のノードの電圧は、170と160のノードの間に加えられる電源電圧を抵抗性素子121と122による分圧回路で分圧した電圧であり、170と160のノードの間に加えられる電源電圧が変動するとそれに伴って172と160のノードの間の電圧も変動する。173のノードの電圧は、172のノードの電圧を抵抗性素子123と容量性素子124によるローパスフィルタで平滑化した電圧であり、170と160のノードの間に加えられる電源電圧が変動しても173と160のノードの間の電圧は急には変化せず、抵抗性素子123

の抵抗値と容量性素子124の容量値の積を時定数としてゆっくりと変化する。

【0018】171のノードと173のノードの電圧の関係は、171のノードの電圧が173のノードの電圧より低い場合は、差動増幅回路130の作用により174のノードの電圧が下がってPチャネル型のMOSトランジスタ100に流れる電流が増加し、171のノードの電圧が上昇するようになっている。

【0019】逆に、171のノードの電圧が173のノードの電圧より高い場合は、174のノードの電圧が上がってPチャネル型のMOSトランジスタ100に流れる電流が減少し、171のノードの電圧が降下するようになっている。

【0020】従って、171のノードの電圧と173のノードの電圧がほぼ等しくなった時に釣り合って安定する。この時、174のノードの電圧と171のノードの電圧の高低関係には特に制限が無く、174のノードの電圧が171のノードの電圧と同程度もしくはそれ以下になるように設計することもできる。171のノードの電圧が173のノードの電圧にほぼ追従するためには、MOSトランジスタ100に流れる電流が常に飽和する状態であればよい。従って、外部より170のノードに供給される電源電圧と負荷回路110にかかる171のノードの電圧の差は、MOSトランジスタ100に飽和電流を流すために必要なドレインソース間電圧分だけあればよい。MOSトランジスタ100のゲート幅を大きくすれば、この電圧を電源電圧の10%程度にすることも可能である。

【0021】実際の設計に当たっては、電源電圧が急激に変化する時の変動の許容幅分をその電圧に加えた電圧がMOSトランジスタ100にかかるようにしておく。具体的には、定常状態において抵抗性素子121にかかる電圧が、電源電圧の急激な変動の許容幅とMOSトランジスタ100に飽和電流を流すのに必要なドレインソース間電圧の和以上になるように、抵抗性素子121および122の抵抗値の比を設計しておく。例えば、MOSトランジスタ100に飽和電流を流すために必要な電圧が電源電圧の10%で、電源電圧が急に变化する場合の変動の許容幅も電源電圧の10%とする場合、抵抗性素子121および122の抵抗値の比が2:8となるように設計しておく。これにより、170と160のノードの間にかかる電源電圧の平均値の80%に相当する電圧が負荷回路110に常にかかり、電源電圧が許容限度一杯まで変動しても、負荷回路110にかかる電圧は急には変化しないことになる。

【0022】なお、図1の電源安定化回路はMOSトランジスタ100に流れる電流が急に变化するとMOSトランジスタ100にかかる電圧が変化するため、この電流をなるべく一定に保つようにした方がより安定な電源電圧が得られる。容量性素子111はそのために設けた

素子であり、負荷回路110に流れる電流のうち短い周期で変化する高周波成分についてはこの容量性素子111が充放電して補うことによりMOSトランジスタ100に流れる電流を一定に保つように作用する。

【0023】以上述べたように、図1の電源安定化回路を使えば、170と160のノードの間にかかる電源電圧が急に变化しても、負荷回路110にかかる電圧が急には変化しないようにすることができる。また、以上述べた数値の例では、負荷回路110にかけることができる電源電圧は170と160のノードの間にかかる電源電圧の平均値の約80%に相当する電圧となる。すなわち、170と160のノードの間にかかる電源電圧の平均値が2Vであれば、負荷回路110にかけることができる電源電圧は約1.6Vになる。170と160のノードの間にかかる電源電圧の平均値が2V以下であっても、負荷回路110にかけることができる電源電圧は上記平均値の約80%になる。

【0024】次に、図1の回路の構成要素である差動増幅回路130について、その構成の例を図2に示す。図2において、201~203はNチャネル型のMOSトランジスタ、204および205はPチャネル型のMOSトランジスタである。MOSトランジスタ202および203のゲート幅は、互いに等しくかつMOSトランジスタ201のゲート幅より充分大きくなるように設計する。また、MOSトランジスタ204および205のゲート幅も互いに等しくなるように設計する。この中で、MOSトランジスタ202および203はカレントスイッチを構成し、MOSトランジスタ204および205はカレントミラーを構成する。

【0025】図1の説明で述べたように171および173のノードと160のノードの間の電圧は電源電圧に近く(図1で説明した数値の例では電源電圧の約80%)、MOSトランジスタ202および203のゲート幅がMOSトランジスタ201のゲート幅より充分大きいため、MOSトランジスタ201に流れる電流は常に飽和する状態にある。また、MOSトランジスタ202および203のゲート幅がMOSトランジスタ201のゲート幅より充分大きいため、171と173のノードの電圧がほぼ等しい時を除いては、MOSトランジスタ202または203のいずれかがカットオフ状態になる。171のノードの電圧の方が173のノードの電圧より高い場合は、MOSトランジスタ202がカットオフ状態になる。その時には、MOSトランジスタ203および205はMOSトランジスタ201と同じ電流が流れる程度に導通し、MOSトランジスタ204はMOSトランジスタ205と同じ程度に導通する。

【0026】MOSトランジスタ202がカットオフ状態にあってMOSトランジスタ204が導通するから、174のノードの電圧はほぼ170のノードの電圧まで上昇する。171のノードの電圧の方が173のノード

の電圧より低い場合は、MOSトランジスタ202が導通してMOSトランジスタ203はカットオフ状態になる。その時には、262のノードの電圧はMOSトランジスタ205がMOSトランジスタ203の漏れ電流を流し得る程度の電圧にまで上がる。MOSトランジスタ204も、MOSトランジスタ205と同じゲート電圧がかかっているから、カットオフに近い状態（漏れ電流程度しか流れない状態）である。MOSトランジスタ204がカットオフに近い状態でMOSトランジスタ202は導通するから、174のノードの電圧はほぼ261のノードの電圧まで降下する。この時の261のノードの電圧は、MOSトランジスタ203がぎりぎりカットオフ状態（漏れ電流程度が流れる状態）になる電圧、すなわち、171のノードの電圧よりMOSトランジスタ203のしきい電圧分だけ低い電圧である。

【0027】従って図2の回路は、171のノードの電圧の方が173のノードの電圧より高い場合は174のノードの電圧がほぼ170のノードの電圧まで上昇し、171のノードの電圧の方が173のノードの電圧より低い場合は174のノードの電圧は171のノードの電圧よりMOSトランジスタ203のしきい電圧分だけ低い電圧にまで降下するように動作する。

【0028】図3と図4には、本発明による電源安定化回路の実施の他の形態とその構成要素である差動増幅回路の回路図を示す。図3の回路は、図1の電源安定化回路のPチャネル型のMOSトランジスタをNチャネル型のMOSトランジスタに置き換え、更に極性を入れ替えた回路である。図3において、300はNチャネル型のMOSトランジスタ、323は抵抗性素子、330は電圧比較回路として作用する差動増幅回路である。図1の抵抗性素子123の両端のノード172および173の電圧は170のノードに加わる高い側の電源電圧に近いのに対し、図3の抵抗性素子323の両端のノード162および163の電圧は160のノードに加わる低い側の電源電圧に近くなる。従って、安定した抵抗値を得るため、抵抗性素子323はゲート長が長くゲート幅が狭いNチャネル型のMOSトランジスタのソースとドレインの間の抵抗を使い、そのゲート電極を170のノードに接続することにより構成する。また、図1の差動増幅回路130はその入力である171および173のノードに加わる電圧が170のノードに加わる高い側の電源電圧に近いのに対し、図3の差動増幅回路330の入力である161および163のノードに加わる電圧は160のノードに加わる低い側の電源電圧に近くなる。

【0029】従って、図3の差動増幅回路330は、図4に示すようにPチャネル型のMOSトランジスタ402および403によるカレントスイッチと、Nチャネル型のMOSトランジスタ404および405によるカレントミラーを使って構成する。図4の回路は、図2の差動増幅回路のPチャネル型のMOSトランジスタとNチ

ャネル型のMOSトランジスタを互いに置き換え、更に極性を入れ替えた構成である。図3および図4の回路の動作は、極性が異なることを除いて図1および図2の回路と同じである。

【0030】図5には、本発明による電源安定化回路を、PLL回路内の電圧制御発振器の電源電圧を安定化するために実施した場合の一形態を示す。この回路は、本特許出願の出願人が既に出願した特許出願である特願平8-182773号の図23にて開示したPLL回路の実施の一形態において、その中の電圧制御発振器の電源電圧を安定化するために実施した例である。図5において、500は電源安定化回路、501は位相比較回路、502は周波数比較回路、503は制御パルス発生回路、504はチャージポンプ回路、505は電圧制御発振器、506は分周回路、507はクロックバッファ回路であり、500は電源電圧を安定化するために接続した電源安定化回路である。この例における電源安定化回路500は、図3に示した型の電源安定化回路とする。また、550は外部から入力されるリファレンス信号、551は位相比較回路501の比較結果を表わす信号、552は周波数比較回路502の比較結果を表わす信号、553は制御パルス発生回路503の出力、554はチャージポンプ回路504から電圧制御発振器505へ供給されるアナログの制御電圧、555は電圧制御発振器505の出力、556は分周回路506の出力、557は各分配先へ供給される各相のクロック信号である。また、560はクロック信号557の内の1つであり、位相比較回路501および周波数比較回路502においてリファレンス信号550と位相および周波数を比較する対象となるフィードバック信号である。この回路が上記特願平8-182773号の図23と異なる点は、電源安定化回路500が存在することと、そのために電圧制御発振器505の構成が若干変わることである。

【0031】図6に、その電圧制御発振器505の実施の一形態を示す。図6において、601~607、621~625および641はNチャネル型のMOSトランジスタである。また、611~617、630~635、642および643はPチャネル型のMOSトランジスタである。この中で、Nチャネル型のMOSトランジスタ607のバックバイアスは外部から160のノードに供給される低電位側の電源に接続し、その他のNチャネル型のMOSトランジスタのバックバイアスは電源安定化回路500から161のノードに供給される安定化された電源に接続する。なお、Pチャネル型のMOSトランジスタのバックバイアスは全て外部から170のノードに供給される高電位側の電源に接続する。

【0032】図6において、MOSトランジスタ601~605、611~615、621~625、630~635および641~643の構成する部分は、上記特

願平8-182773号の図26にて開示した電圧制御発振器と同じ回路である。また、MOSトランジスタ606、607、616および617の構成する部分は、170と161のノードの間に供給される電圧に相当する振幅の発振出力を170と160のノードの間に供給される外部からの電源電圧に相当する振幅に拡大して555のノードに出力させるための回路である。

【0033】MOSトランジスタ621~625や631~635によって電流を制限されるインバータの出力は波形が鈍るため、これをMOSトランジスタ607および617によるインバータで直接受けて振幅を拡大する回路では、170と160のノードの間に外部から供給される電源電圧が変動した時のしきい値の変化のため大きなジッタが生じることになる。これを避けるため、MOSトランジスタ606および616によるしきい値の変化の無い（電源電圧が安定化された）インバータで急峻な波形に変換し、その後MOSトランジスタ607および617によるインバータで振幅を拡大する。

【0034】なお、170と160のノードの間に外部から供給される電源によって直接駆動される回路（すなわち、電圧制御発振器505以外の回路）を構成するNチャネル型のMOSトランジスタのバックバイアスは、160のノードに外部から供給される電源と接続する。従って、Nチャネル型のMOSトランジスタ601~606、621~625および641は、その他のNチャネル型のMOSトランジスタとは違うバックバイアス電圧になる。そのため、これらのNチャネル型のMOSトランジスタは他のNチャネル型のMOSトランジスタと離して配置し、その間にPチャネル型のMOSトランジスタを配置して、バックバイアス電圧のかかるノードを分離する。

【0035】図7は半導体集積回路チップ内の各回路の配置の一例を示した図である。図7において、700は半導体集積回路チップ、710は161のノードに供給される安定化された電源をバックバイアスとするNチャネル型のMOSトランジスタを含む回路を配置する領域、720はNチャネル型のMOSトランジスタを含む回路は配置しない領域、730および740は外部から160のノードに供給される電源をバックバイアスとするNチャネル型のMOSトランジスタを含む回路を配置する領域である。

【0036】具体的な回路名で言うと、710の領域には、図6に示した電圧制御発振器のうちNチャネル型のMOSトランジスタ607およびPチャネル型のMOSトランジスタ617を除く部分と、制御電圧554を安定化するためにチャージポンプ504の中に設けた容量素子を配置する。720の領域には、図3に示した電源安定化回路の中の容量素子111および124を配置する。730の領域には、電圧制御発振器の中のNチャネル型のMOSトランジスタ607およびPチャネル型の

MOSトランジスタ617と、チャージポンプ504や電源安定化回路500の中の上記の他の素子と、図5に示したPLL回路の中の他の部分、すなわち、位相比較回路501、周波数比較回路502、制御パルス発生回路503、分周回路506、および、バッファ回路507の一段目等を配置する。740の領域には、2段目以降のバッファ回路507と、この半導体集積回路チップに搭載する他の回路を配置する。そして、710の領域に設けた容量素子はNチャネル型のMOSトランジスタのゲート電極とチャネルの層間容量を利用して構成し、720の領域に設けた容量素子はPチャネル型のMOSトランジスタのゲート電極とチャネルの層間容量を利用して構成する。

【0037】このようにすれば、710の領域に設けたNチャネル型のMOSトランジスタとその他の領域に設けたNチャネル型のMOSトランジスタを、720の領域によって分離することができる。従って、710の領域に設けたNチャネル型のMOSトランジスタとその他の領域に設けたNチャネル型のMOSトランジスタに、互いに異なるバックバイアス電圧をかけることができる。なお、半導体集積回路チップ700の中に複数のPLL回路を搭載する場合は、図7に示す710~730の領域のような部分が複数箇所になるのは言うまでもない。

【0038】本発明によれば、170と160のノードの間に外部から供給される電源の電圧が急に変化しても170と161のノードの間に供給される電源の電圧は急には変化しないため、電圧制御発振器の発振周波数も急には変化しないことになる。更に、PLL回路には電圧制御発振器の発振周波数をリファレンス信号の周波数の所定倍に合わせようとする機能があるため、170と161のノードの間に供給される電圧が徐々に変化する分については、554と161のノードの間に供給される制御電圧を徐々に変化させて追従させることができる。すなわち、PLL回路のように自己補正機能がある回路と併用する場合には、その自己補正機能が作用するために必要な時間だけ電源電圧の変化を遅らせれば、必ずしも常に一定の電源電圧を得る必要はない。すると、図1または図3に示したような通常のデジタル信号処理用の半導体集積回路チップ内に搭載できる回路を基準電圧発生回路として使うことが可能であり、従来の電源安定化回路のようにツェナーダイオードを使った常に所定の基準電圧が得られるような基準電圧発生回路を使わなくても済む。

【0039】図8には、電圧制御発振器505の実施の他の形態を示す。図8において、801はNチャネル型のMOSトランジスタである。また、850は強制的に発振を停止させる信号を入力するノードであり、この回路を搭載する半導体集積回路チップを診断する時等に使用する。その他の部分は図6の回路と同じである。85

0のノードに入力される信号がローレベルの間はMOSトランジスタ801がカットオフ状態となって図8の回路は図6の回路と同じ動作をするが、850のノードに入力される信号がハイレベルになるとMOSトランジスタ801が導通して554と161のノードの間に加えられる制御電圧は0Vとなり発振が停止する。

【0040】図8に示すように、ラッチアップ現象を避けるため、Nチャネル型のMOSトランジスタ801のソース電極は161のノードに接続するが、バックバイアスは160のノードに接続する。これは、このMOSトランジスタ801のドレイン電極がバックバイアスを161のノードに接続されたNチャネル型のMOSトランジスタ621～625等のゲート電極に接続されているため、ソース電極は161のノードに供給される電圧より低い電圧には接続できないのに対し、850のノードに入力される信号のローレベルは160のノードの電圧まで下がるため、Nチャネル型のMOSトランジスタ801のバックバイアスをそれより高い電圧に接続することができないためである。すなわち、MOSトランジスタ801のバックバイアスを161のノードに接続すると、850のノードに入力される信号のローレベルは161のノードの電圧以下に下がる場合があり、この場合にラッチアップ現象が起こる恐れがある。MOSトランジスタ801のバックバイアスを160のノードに接続した場合には、850のノードに入力される信号のローレベルは161のノードの電圧以下には下がらないため、ラッチアップ現象が起こることはない。従ってMOSトランジスタ801は、図7のように配置する場合には730の領域に配置する。

【0041】

【発明の効果】本発明の電源安定化回路によれば、電源電圧が低い場合でも十分な電圧を負荷回路にかけることができる。また本発明によれば、ツェナーダイオード等の特殊な素子を使用することなく電源安定化回路を実現することができる。従って、本発明によれば、通常のデジタル信号処理用の半導体集積回路チップ内に電源安定化回路を設けることができる。また、安定な電源をPLL回路に使用する電圧制御発振器等に供給することがで

きる。

【図面の簡単な説明】

【図1】本発明の電源安定化回路の実施の一形態を示す回路図である。

【図2】図1の電源安定化回路の構成要素である電圧比較回路の詳細を示す回路図である。

【図3】本発明の電源安定化回路の実施の他の形態を示す回路図である。

【図4】図3の電源安定化回路の構成要素である電圧比較回路の詳細を示す回路図である。

【図5】本発明による電源安定化回路をPLL回路内の電圧制御発振器の電源電圧を安定化するために適用した場合の一形態を示す回路図である。

【図6】図5のPLL回路の構成要素である電圧制御発振器505の詳細を示す回路図である。

【図7】半導体集積回路チップ内における各回路の配置場所を示す配置図である。

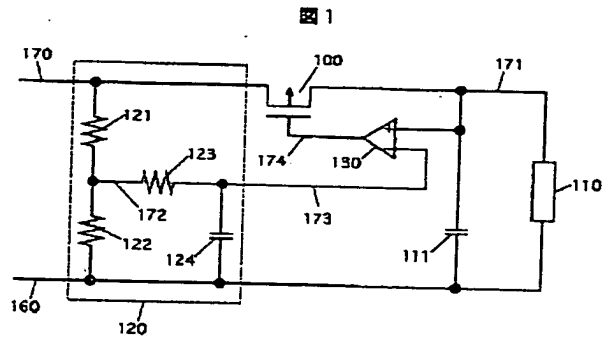
【図8】図6の電圧制御発振器505の実施の他の形態を示す回路図である。

【図9】電源安定化回路の従来例の回路図を示す図である。

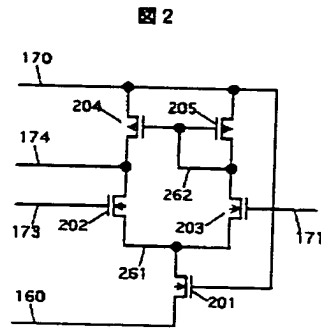
【符号の説明】

- 100 Pチャネル型のMOSトランジスタ
- 110 負荷回路
- 120 基準電圧発生回路
- 130、330 電圧比較回路
- 170 高電位側の電源電圧を加えるノード
- 160 低電位側の電源電圧を加えるノード
- 300 Nチャネル型のMOSトランジスタ
- 500 電源安定化回路
- 505 電圧制御発振器
- 700 半導体集積回路チップ
- 710 電圧制御発振器505等を配置する領域
- 720 図3内のコンデンサ111および124を配置する領域
- 730 PLL回路を構成する他の素子を配置する領域
- 740 半導体集積回路チップ700に搭載するPLL以外の回路を配置する領域

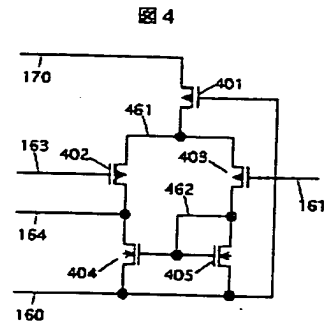
【図 1】



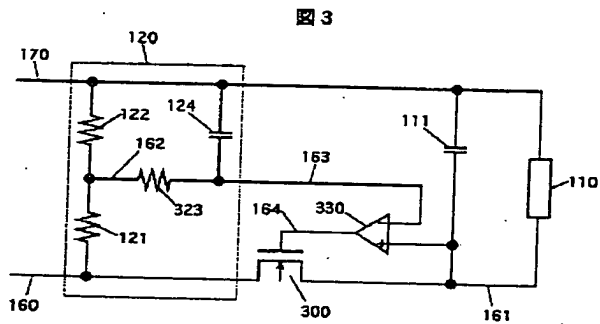
【図 2】



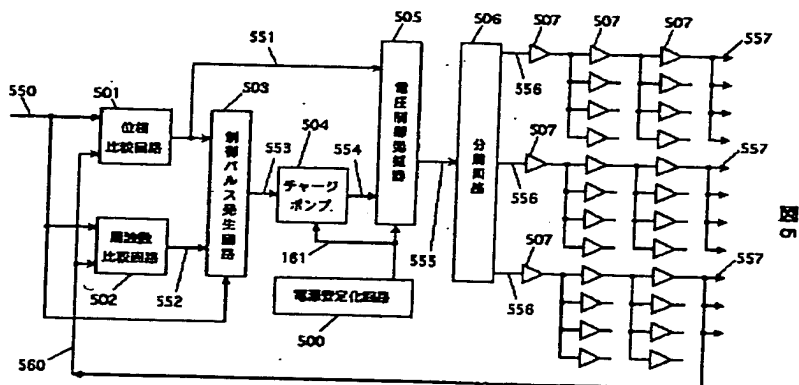
【図 4】



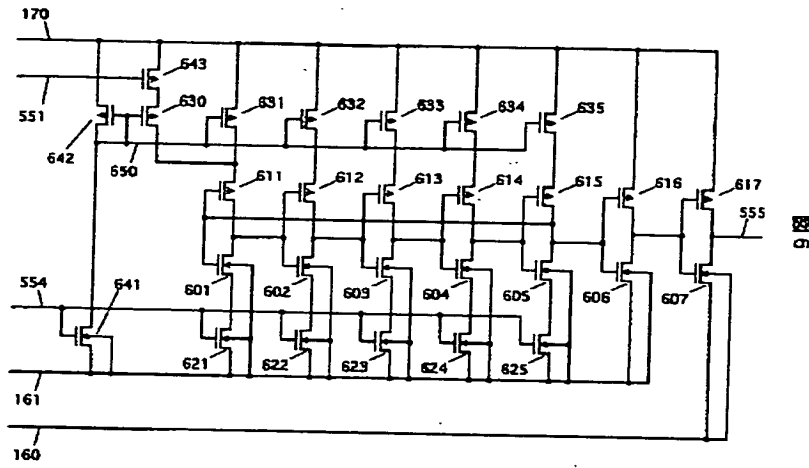
【図 3】



【図 5】

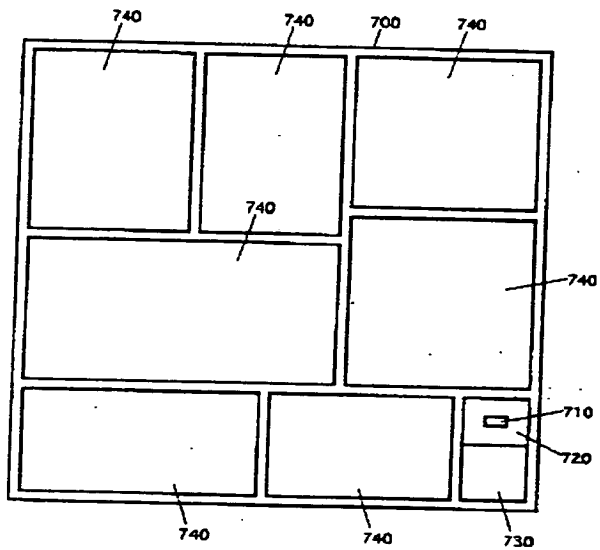


【図 6】

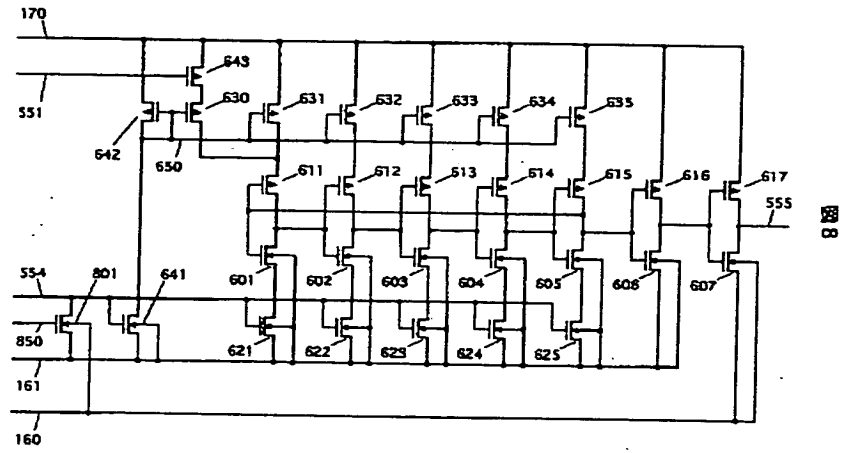


【図 7】

図 7



【図 8】



【図 9】

図 9

